

**LSI FUNCTION BLOCK**

Patent Number: JP2180050  
Publication date: 1990-07-12  
Inventor(s): KITAJIMA FUMIHIDE; others: 01  
Applicant(s):: NEC CORP  
Requested Patent: ☐ JP2180050  
Application Number: JP19890000665 19890104  
Priority Number(s):  
IPC Classification: H01L21/82 ; H01L27/04  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:**To facilitate design and manufacture of a designed kind by providing a power supply terminal according to a standard cell on the periphery of an LSI function block.

**CONSTITUTION:**As to a power supply wiring given in the inside periphery of an LSI function block, a VDD wire 4 and a GND wire 5 inside the function block exist and a function circuit carrying out a function of the function block is designed in a layout at the spot 6. Then, three sets of power supply terminals 1 (VDD) and 2 (GND) for a standard cell are given on the right side of the function block. In this way, one or a plurality of power supply terminals fitted to the height of the standard cell exist on the periphery of the function block. Thereby, power supply design is facilitated at the time of realizing a control circuit by means of a function cell array using a standard cell.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-180050

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月12日

H 01 L 21/82  
27/04

D

7514-5F  
8526-5F

H 01 L 21/82

L

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 LSI機能ブロック

⑯ 特 願 昭64-665

⑰ 出 願 昭64(1989)1月4日

⑱ 発 明 者 北 島 史 英 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 発 明 者 高 見 沢 一 彦 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
㉑ 代 理 人 弁理士 内 原 晋

#### 明 細 書

#### 1. 発明の名称

LSI機能ブロック

#### 2. 特許請求の範囲

半導体基板上に搭載されることを目的として各種機能回路を収納した機能ブロックにおいて、標準セル方式の機能セル列を構成するための電源端子を該機能ブロックの周辺に具備することを特徴とするLSI機能ブロック。

#### 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、集積回路を構成するLSI機能ブロックのレイアウト設計方法に関し、特に、その機能ブロックを利用する設計回路とは独立に予めレイアウト設計を完了しておく汎用のLSI機能ブロックの設計方法に関する。

〔従来技術〕

従来、各種機能回路を収納したLSI機能ブロックのレイアウト設計を行なう際には、その機能ブロックが汎用に用いることができることを目的に設計される場合がある。そのような汎用化を目的とした機能ブロック群を用いて半導体基板上に回路を構成する際には、該機能ブロック群の他に、機能ブロックを外側から制御する目的の制御回路のレイアウト設計を行なうことが常であり、そのため制御回路のためのあらたな電源設計を施す必要がある。

〔発明が解決しようとする課題〕

上述したように従来のLSI機能ブロックを用いた設計の場合は、その機能ブロックを制御する制御回路のための電源設計を半導体基板上に施さなければならないという欠点があった。

〔課題を解決するための手段〕

本発明のLSI機能ブロックは、標準セルの高さにあった電源端子を機能ブロック周辺上に1個または複数個有している。これにより標準セルを用いた機能セル列を使って制御回路を実現する場

合に、電源設計が容易になることを特徴とする。

特に制御回路に標準セルを用いた機能セル列で構成しようとするときには、LSI機能ブロック周辺上に、標準セルの電源位置と合った電源端子を複数個用意することで任意の機能セル列上に制御回路を容易に構成することが可能である。

#### 〔実施例〕

第1図は、本発明の一実施例によるLSI機能ブロックを示している。

第1図では、LSI機能ブロックの内側周辺に施されている電源配線についても表現している。図中4が機能ブロック内のVDD線、5がGND線を示しており、機能ブロックの機能を果たす機能回路が6で示される箇所にレイアウト設計されている。

図では、機能ブロックの右辺に、標準セル用の電源端子1(VDD)、2(GND)が3組施されていることを示している。

第2図は、本発明のLSI機能ブロックを用いて、その制御回路を標準セルをつかってレイアウト

- 3 -

用いて実現している。

機能ブロックの大きさは、通常一定ではないため、本発明の電源端子の数は、機能ブロック毎に異なる。そのため図中の左側のLSI機能ブロックの最下段の電源端子は未使用の端子になっている。

#### 〔発明の効果〕

以上説明したように、本発明は、LSI機能ブロックの周辺に、標準セルと一致する電源端子を設けることで、標準セルを使って機能ブロックを制御する制御回路を実現する場合に、制御回路用の電源設計を簡略することができ、設計品種の設計及び製造が容易になるという効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例によるLSI機能ブロックの平面図、第2図は本発明のLSI機能ブロックを用いてその制御回路を標準セルをつかってレイアウト設計した半導体基板の一部の平面図、第3図は複数の機能ブロックを用いた平面図であ

- 5 -

ト設計した半導体基板の1部を示している。図では、機能ブロックの電源端子1、2の右側に標準セル7を横にならべて構成した機能セル列8を3段使っている。機能セル列上では、制御回路を実現する標準セルを使って配置、配線設計がなされている。

本発明によるLSI機能ブロックの右辺に設けた本発明の電源端子1、2の位置と標準セルの電源位置とが一致しているため標準セルの機能セル列に供給するための電源設計が不要になっている。

機能セル列間の配線領域9は標準セルから延びる信号端子10、および機能ブロックの信号端子11から延びる信号配線12の配線設計のために利用される。

第3図は、本発明のLSI機能ブロックを複数用いて半導体基板上にレイアウト設計した1部を示している。図では、本発明の電源端子が互いに対向する向きに配置された2つのLSI機能ブロック間の電源間を、本発明の電源端子1、2および電源端子間を結線する電源配線13、14を

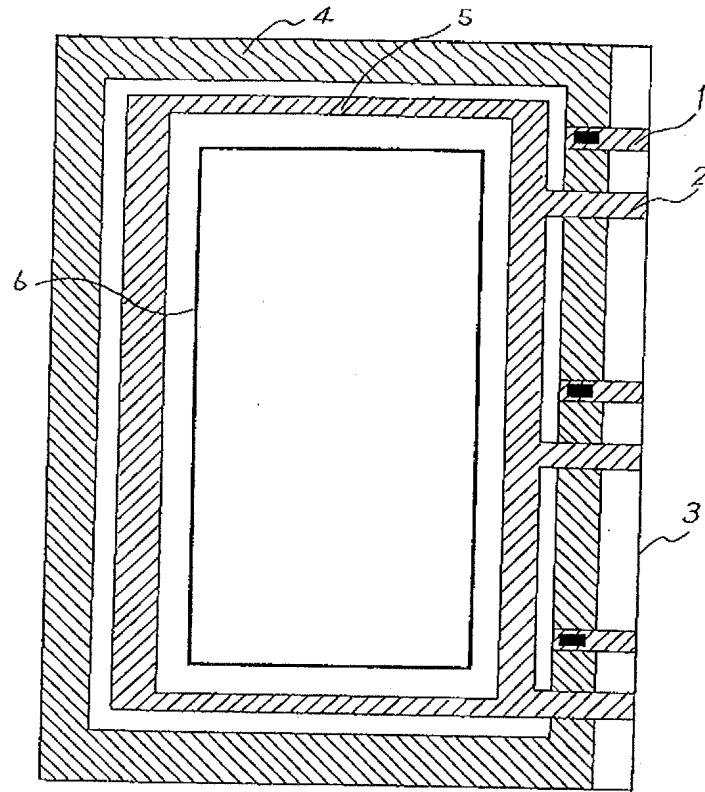
- 4 -

る。

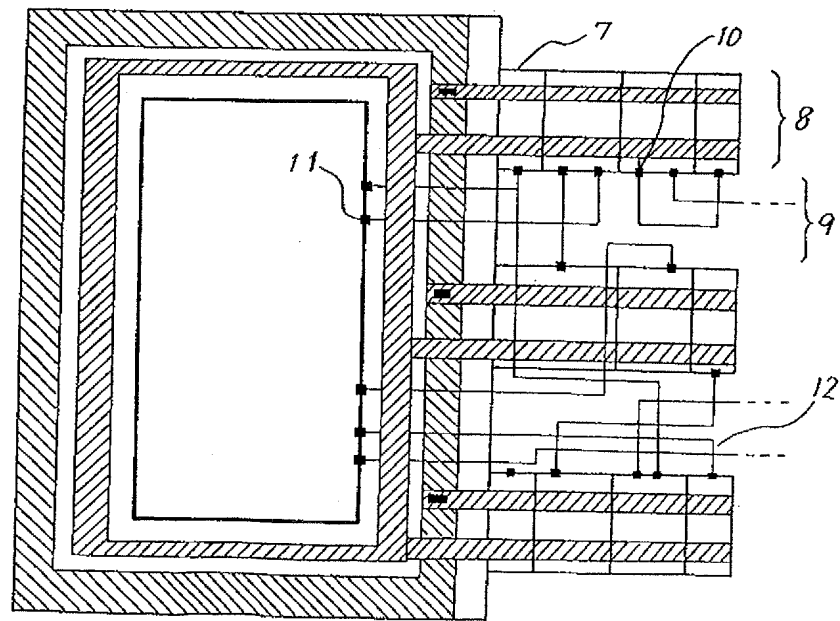
1……LSI機能ブロック周辺に設けたVDD用電源端子、2……LSI機能ブロック周辺に設けたGND用電源端子、3……LSI機能ブロック、4……LSI機能ブロック内VDD電源配線、5……LSI機能ブロック内GND電源配線、6……LSI機能ブロック内機能回路部分、7……標準セル、8……標準セルを使った機能セル列、9……機能セル列間配線領域、10……標準セル信号端子、11……LSI機能ブロック信号端子、12……信号配線、13……LSI機能ブロックのVDD電源端子間を結線する電源配線、14……LSI機能ブロックのGND電源端子間を結線する電源配線。

代理人 弁理士 内 原 晋

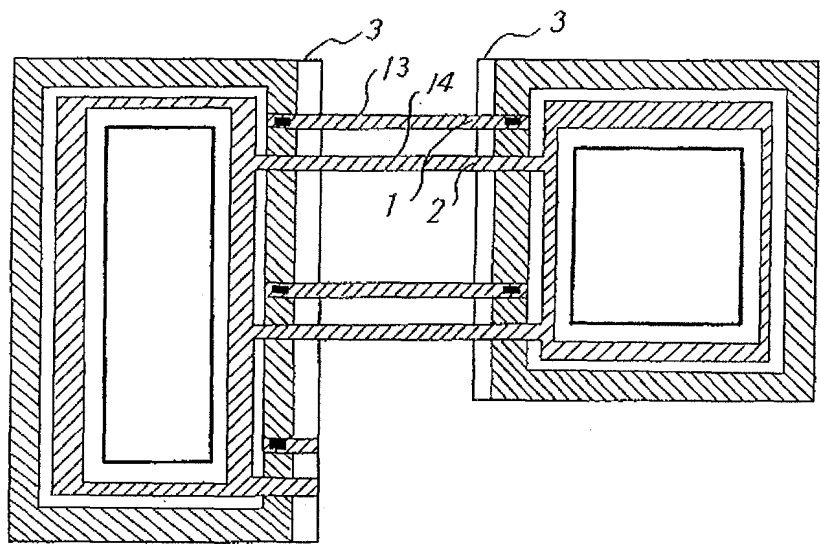
- 6 -



第 1 図



第 2 図



第 3 圖